

LSI 評価の高速化および信頼性向上に関する研究

東海大学情報理工学部コンピュータ応用工学科 助教 土屋 秀和

1. はじめに

現在, LSI はあらゆる電子機器に組み込まれ, 我々の生活にとって必要不可欠な電子デバイスとなっている。これまで, LSI は製造技術の進歩により, 回路の大規模化による高機能化や動作速度の高速化などの発展を遂げてきた。しかし, 現在の製造技術において極僅かな異物や環境の変化などの様々な要因によって, 各々の LSI 全てを良品として製造することが困難となっている¹⁾。そのため, LSI 製造時における選別テストが必須となっている。また, LSI の回路の大規模化が進むにつれて, 回路が複雑となり完全テストが困難になっている。そして, この事態は LSI メーカーが抱える問題の一つとなっている。例えば, 組込み用のマイコンを例に挙げると, 売価は数百円のものも存在する。しかしながら, そのマイコンをテストするためには, 数千万円～数億円の高性能 LSI テスタを使用して, 長い時間テストを行わなくてはならない。さらに, LSI の実動作速度でのテストに対応するためには, より高性能な LSI テスタが必要となることから, テストコストも増加する。また, 性能が伴わない LSI テスタを使用してテストを行った場合は, 実動作速度テストが行えずにテスト品質の低下を招く。

一方, 近年の LSI の大規模化によって, システムの大部分を 1 つのチップに搭載する SOC (System On Chip) 化が進んでいる。これらの高機能化された LSI に対しては, より多くのテスト項目を必要とし, テスト時間が長大化する²⁾。その結果, LSI テスタの使用時間増加による出

荷効率の低下によってテストコストが増加する。また, 不完全にテストが行われた場合は, テスト品質の低下のため, 出荷後の不良率が増加する恐れがある。これらの現状を改善する手法の一つとして, BIST (Built In Self Test) と呼ばれる手法が挙げられる。BIST は, LSI テストの一部または全てを LSI 内に組込むことで, 自己テストを実現する手法であり, 自己テストによって LSI テスタの使用時間の削減を実現し, テストコストを削減することが可能である。また, 実動作速度テストおよび完全テストの実施によって, テスト品質の向上を実現することが可能である。BIST には, 実動作速度テストや高い故障検出率を実現する高品質テストの実現, テスト時間の短縮による更なるテストコストの削減との両立が要求されている。

これまで, LSI テスタの多くは故障モデルの一つである単一縮退故障を対象として故障検出を行い, 良品を選別してきた^{1) 2)}。この単一縮退故障とは, 被テスト回路中の信号線のうち, いずれか 1 つの信号線の論理値が 0 または 1 に固定(縮退)されてしまう故障である²⁾。ここで, NMOS インバータを例に挙げると, 図 1 のようにドレインとソースが短絡した場合, 入力 X の状態を問わず出力 Z より論理値 0 が出力され, この状態を 0 縮退故障と呼ぶ。一方で, 図 2 のようにドレインまたはゲートが断線した場合, 入力 X の状態を問わず出力 Z より論理値 1 が出力され, この状態を 1 縮退故障と呼ぶ。組み合わせ回路に対する単一縮退故障は, ATPG (Automatic Test Pattern Generator) と呼ばれ

る被テスト対象の回路構成情報に基づくコンピュータシミュレーションより生成されるテストパターンや、LFSR(Linear Feedback Shift Register)と呼ばれるシフトレジスタのビット列の一部を取り出し排他的論理和を取り、入力ビットとしてフィードバックすることで生成される疑似ランダムなテストパターンを用いて検出することができる。しかし、多くのLSIは一般的に順序回路であり、組み合わせ回路の他に記憶回路としてフリップフロップが実装されている。そこで、テストパターンを任意の回路箇所印加するためには、このフリップフロップの状態を外部より制御できる必要があり、スキャンテストが広く用いられている。これは、図3に示すように、テスト時には回路内のフリップフロップFFをシリアル接続に構成し、スキャンチェーンと呼ばれるシフトレジスタとして動作させる。スキャンテストでは、テストパターンをシリアルデータとしてスキャンチェーンに入力(スキャンイン)し、テストパターンに対する被テスト回路の出力応答をLSIの外部へ出力(スキャンアウト)することができる。このように、本来の機能を維持した状態で、テストが容易になるようにLSIの構造の一部を変更を加えた設計手法をテスト容易化設計と呼ぶ。テスト容易化設計では、同期して多くの回路を強制的に動作させることもできる。この場合は、テスト時間を短縮することが可能であるが、通常使用時と比べてテスト時の消費電力は増加し、発熱による誤動作や故障、さらに回路の破壊に繋がる恐れがある。また、エレクトロマイグレーションと呼ばれる、イオンが徐々に移動し、半導体内部の構造が欠損していく現象による信頼性の低下も問題となる。

そこで、本稿ではLSI評価の高速化および信頼性向上に関する研究において、「テスト時の消費電力を抑制するテストパターン生成技術」として、テスト時の消費電力を抑制することで

歩留まり低下を抑制し、短いテスト時間で高い故障検出率を達成することにより高いテスト品質の実現と共にテストコストを削減し、実動作速度でテストパターンを発生することで高いテスト品質を実現するテストパターン発生器の回路構成およびテストパターン生成法^{3) 4)}について紹介させていただく。

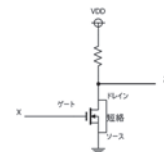


図1 0 縮退故障

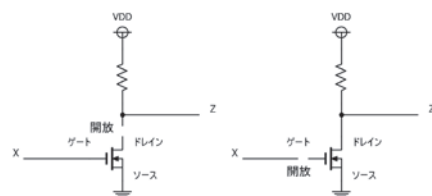


図2 1 縮退故障

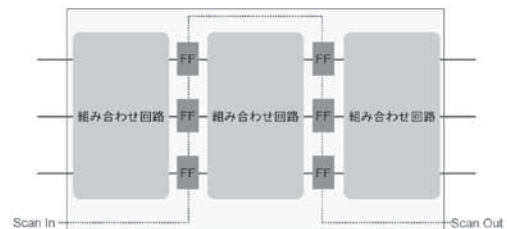


図3 スキャンテストの構造

2. テスト時の消費電力を抑制するテストパターン生成技術

(1) テストパターン発生器の回路構成

図4にテスト時の消費電力を抑制するテストパターン技術を適用したテストパターン発生器TPGの回路構成を示す。ここで、シフトレジスタSRの分割数を k 、同時に動作するSR数を g 、被テスト回路CUTの入力数を m とする。TPGはメモリMRとクロック制御部CPと k 個に分割されクロック制御が適用されたシフトレジスタSRにより構成される。MRは k ビットのバス幅を持ち、ATPGベクトルの部分集合が格納され、格納されたデータがクロック制御に

従って各 SR に分配される。CP の入力であるイネーブル信号 (enable_1 ~ enable_k) の組み合わせにより、SR 毎にクロック制御が行われ、CUT において分割した回路毎にクロック供給のタイミングを制御することで、消費電力を削減可能である。

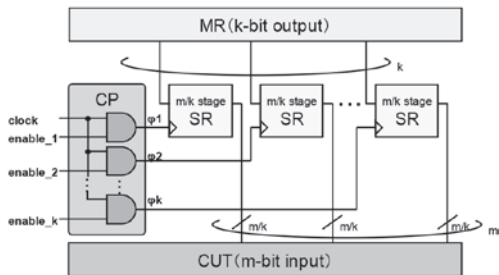


図4 テストパターン発生器の回路構成

TPG において、ランダムパターンで検出困難な故障である rpr (random pattern resistant) 故障の検出を疑似ランダムなテストパターンのみで試みた場合、膨大なテストパターンが必要となることや、検出できずに故障検出率の低下を招き出荷後の動作不良の発生率が高くなる可能性がある。そこで、本技術を適用した TPG ではクロック制御が適用された SR により、周期的に出現する被テスト回路の回路構成を考慮し生成した ATPG ベクトルの部分集合を用いることで、rpr 故障を検出する。また、rpr 故障以外の故障は SR のシフト動作による疑似ランダムベクトルを使用して検出する。このように、rpr 故障以外の故障検出には疑似ランダムベクトルを使用し、rpr 故障検出には ATPG ベクトルを使用することで、ATPG ベクトルの全てをメモリに格納せず、その部分集合のみをメモリに格納するため、メモリに格納する ATPG ベクトル数の削減が可能である。これにより、LSI テスタのメモリ増設が必要となる頻度を低減可能であり、コスト削減に寄与する。また、rpr 故障を ATPG ベクトルで検出することで、故障検出に冗長なテストベクトルを削減可能となり、短いテスト長で高い故障検出率の達成が可

能である。

(2) テストパターンの生成

本技術では、スキヤンテストが適用された回路の単一縮退故障を対象とし、故障検出効率を次式で定義する。

$$\text{故障検出効率} = \frac{\text{検出故障数}}{\text{全故障数} - \text{冗長故障数}} \times 100\% \quad (2.1)$$

本技術によるテストパターン生成について述べる。テストパターンの生成は、大きく分けて2つの工程で構成される。ATPG ベクトルの部分集合の選択では、実テスト時間および必要なメモリ量を削減するために、ATPG ベクトルの部分集合を求める操作と共に圧縮操作を行う。この操作は、大きく分けて4つのステップで構成される。また、TPG によるテストパターン生成では、実際に被テスト回路にテストパターンを印加するために、ATPG ベクトルの部分集合を元にして TPG によりテストパターンを生成する。この操作は、大きく分けて2つのステップで構成される。以下に各操作の詳細を示す。

① ATPG ベクトルの部分集合の選択

Step 1: ATPG ツールを使用して、被テスト回路に対する高い故障検出効率を達成する ATPG ベクトル集合を生成する。

Step 2: 分割数 k および同時に動作する SR 数 g の構成に基づいて、分割シフト動作によって分割シフトされたテストパターンを求める。

Step 3: 分割シフトされたテストパターンを使用して、故障シミュレーションを行い、高い故障検出効率を達成するまでに使用された部分集合から、元となる ATPG ベクトルの部分集合を求める。選択した部分集合が前回求めた ATPG ベクトルの部分集合と比較し、同量または縮小された場合は Step 4 に移り、それ以外は前回求めた ATPG ベクトルの部分集合を最小とみなし確定する。

Step 4: 求めた ATPG ベクトルの部分集合の最後に位置するベクトルを rpr 故障検出に必要な

ベクトルと期待し，図5のように先頭に並び替えた後 Step 2 に戻り，この手順を繰り返す。

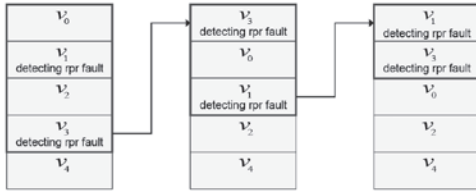


図5 ベクトルの並び替え

② TPG によるテストパターン生成

Step 1: “① ATPG ベクトルの部分集合の選択”で求めた部分集合をメモリに格納する。

Step 2: ATPG ベクトルの部分集合を元にクロック制御が適用された k 個の SR により，分割シフトされたビット幅が m ビットのテストパターンが生成される。テストパターンには，シフト動作によって生成される疑似ランダムベクトルと ATPG ベクトルが混在する。

ここで，同時に動作する SR 数を g とした時の SR の動作率 A.R. を次式で定義する。

$$\text{動作率 A.R.} = \frac{g}{k} \times 100\%, 1 \leq g \leq k \quad (2.2)$$

テストパターンの生成例を CUT の入力数 $m = 4$, 分割数 $k = 2$, 動作率 A.R. = 50% として，図6に示す。

$v_0(v_{00}, v_{01}, v_{02}, v_{03})$ と $v_1(v_{10}, v_{11}, v_{12}, v_{13})$ を元にして ATPG ベクトル 2 個 ($v_{00}, v_{01}, v_{02}, v_{03}$), ($v_{10}, v_{11}, v_{12}, v_{13}$), 疑似ランダムベクトル 3 個 ($v_{11}, v_{00}, v_{02}, v_{03}$), ($v_{11}, v_{00}, v_{13}, v_{02}$), ($v_{10}, v_{11}, v_{13}, v_{02}$) を生成し， $v_1(v_{10}, v_{11}, v_{12}, v_{13})$ と $v_2(v_{20}, v_{21}, v_{22}, v_{23})$ を元にして ATPG ベクトル

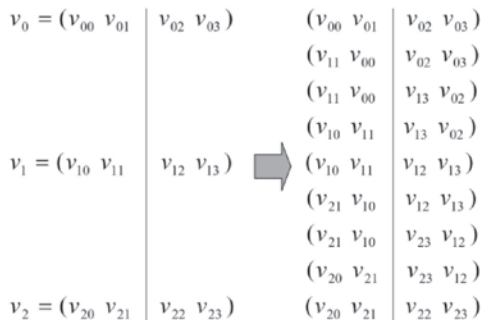


図6 テストパターン生成例

ル 2 個 ($v_{10}, v_{11}, v_{12}, v_{13}$), ($v_{20}, v_{21}, v_{22}, v_{23}$), 疑似ランダムベクトル 3 個 ($v_{21}, v_{10}, v_{12}, v_{13}$), ($v_{21}, v_{10}, v_{23}, v_{12}$), ($v_{20}, v_{21}, v_{23}, v_{12}$) を生成している。すなわち，ATPG ベクトル 2 個あたり ATPG ベクトル 2 個，疑似ランダムベクトル 3 個を生成している。

3. 評価方法

前述のテスト時の消費電力を抑制するテストパターン生成技術について，分割数 $k = 1, 2, 4, 8$, 動作率 A.R. [%] = 100, 50, 25, 12.5 とし，評価尺度を高い故障検出効率の達成に必要なテスト長，元となるベクトル数，平均電流として SR の分割数およびクロック制御による動作率と特性との関係性を評価した。元となるベクトル集合は ATPG ツールで生成し，2(2)項の手順で圧縮し選択を行った。ターゲットデバイスとして，プログラムにより自在にデジタル回路を構成可能なデバイスである Xilinx 社製 FPGA (Virtex-E) とし，論理合成した CUT および TPG に対して，消費電力シミュレータを用いて平均電流の評価を行った。CUT には ISCAS '85 ベンチマーク回路を用いた。表1に評価対象を示す。

表1 評価対象

CUT	機能	入力数	出力数	ゲート数	4入力 LUT 数
C432	27 チャンネル 割り込み コントローラ	36	7	160	91
C499	32 ビットシングル エラー訂正回路	41	32	202	78
C880	8 ビットALU	60	26	383	101
C1355	32 ビットシングル エラー訂正回路	41	32	546	78
C1908	16 ビットエラー検出 ／訂正回路	33	25	880	130
C2670	12 ビットALU ／コントローラ	233	140	1193	158
C5315	9 ビットALU	178	123	2307	389
C6288	16 × 16 乗算器	32	32	2406	703
C7552	34 ビット加算器 ／入力パリティ チェック付き 大小比較器	207	108	3512	442

論理合成結果は，FPGA の論理ブロックである 4 入力 LUT (Look Up Table) 数で示した。比較対象は，ATPG および原始 LFSR とした。また，本技術を適用した TPG，ATPG，原始

LFSRによって生成されるテストパターンは、それぞれ高い故障検出効率を達成するものとした。

4. 評価結果

評価結果としてベンチマーク回路 C 499 に着目し、表 2 に示す。左の列から、CUT：ISCAS '85 ベンチマーク回路の回路名、# k：SR の分割数、% A.R.：全体の SR に対して同時にシフト動作している SR 数の割合、% F.E.：故障検出効率、# L：高い故障検出効率を達成するために必要なテスト長、# MR：MR に格納される ATPG ベクトルの部分集合、# power：テスト実行時の平均電流を示す。この結果を元に、ATPG および LFSR を対象として本技術について比較検討を行った。また、SR の分割数 k およびクロック制御による動作率 A.R. と特性との関係を検討した。

表 2 評価結果 (C 499)

CUT	#k	% A.R.	% F.E.	#L	#MR	#power [mA]
C499	1	100	100	334	9	1.77
	2	50	100	578	15	0.89
		100	100	258	13	1.61
	4	25	100	535	14	0.54
		50	100	373	19	1.02
		100	100	231	24	2.03
	8	12.5	100	801	21	0.34
		25	100	521	27	0.61
		100	100	176	36	2.12
	41 (ATPG)	100	100	52	52	3.31
	LFSR	100	100	1167	0	2.15

(1) ATPG との比較

ATPG に比べてテスト長は長くなるものの、元となるベクトル数および平均電流を大幅に低減可能である。例えば、ATPG（分割数 k = 41）に対して k = 8 の場合を考える。動作率 A.R. = 25% では、元となるベクトル数が約 0.52 倍、平均電流は約 0.18 倍に減少する。また、動作率 A.R. = 12.5% では、元となるベクトル数が約 0.40 倍、平均電流は約 0.10 倍に減少する。

(2) LFSR との比較

LFSR に比べて、元となるベクトルが必要となるが、テスト長を大幅に削減することが可能であり、平均電流も動作率 A.R. に応じて大幅に削減することができる。例えば、LFSR に対

して分割数 k = 8 を比べると、動作率 A.R. = 25% では、テスト長が約 0.45 倍、平均電流が 0.28 倍に減少する。また、動作率 A.R. = 12.5% の場合は、テスト長が約 0.69 倍、平均電流が 0.16 倍に減少する。

(3) 分割数 k および動作率 A.R.

SR の分割数に応じて、ATPG ベクトルの出現率を変更することが可能であるため、分割数 k の減少に従い疑似ランダムベクトルの出現頻度が高まり、テスト長は長くなるものの、元となるベクトル数を削減可能である。また、動作率 A.R. を低下させるに従って、テスト長は長くなるが、平均電流を削減可能である。

5. おわりに

本稿では、LSI の評価技術の現状および我々が取り組んでいる研究の一部を紹介した。研究では、ATPG ベクトルと疑似ランダムベクトルの特性を活かし、高い故障検出効率を達成しながらも、分割した SR の分割数およびクロック制御の構成により、元となるベクトル数およびテスト時の平均電流を削減可能である。今後は、引き続き「テスト時の消費電力を抑制するテストパターン生成技術」に関して、単一縮退故障以外の故障への拡張対応などを行っていきたい。また、本稿を通じて、本分野の研究について認識して頂ければ幸甚である。

参考文献

- 1) LSI テスティング学会, LSI テスティングハンドブック, オーム社, 2008
- 2) 藤原秀雄, デジタルシステムの設計とテスト, 工学図書, 2004
- 3) 土屋秀和, 阿部高也, 増田良介, 浅川毅, " 疑似ランダムベクトルと ATPG ベクトルを利用した低電力指向 TPG, " 電子情報通信学会論文誌 D, vol. J92 -D, No. 6, pp. 777 - 783, 2009 年 6 月
- 4) Hidekazu Tsuchiya, "Testing method that adjustable for power dissipation and test data size during testing, " IEEE 19 th Workshop on RTL and High Level Testing, Hefei, China, Oct. 2018